

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-251666

⑬ Int.CI. ¹	識別記号	厅内整理番号	⑭ 公開 昭和60年(1985)12月12日
H 01 L 29/78 27/12 // H 01 L 29/20		8422-5F 7514-5F 8526-5F	審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特願 昭59-107706

⑰ 出願 昭59(1984)5月28日

⑱ 発明者 大島 弘之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑲ 出願人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号
⑳ 代理人 弁理士 最上 務

明細書

1. 発明の名称 薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁基板上に形成される薄膜トランジスタにおいて、チャネル部となる半導体薄膜が、少なくともインジウムを含有するⅢ-V族化合物半導体から成ることを特徴とする薄膜トランジスタ。

(2) 前記半導体薄膜がリン化インジウムであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

<技術分野>

本発明は薄膜トランジスタに関する。

<従来技術>

近年、絶縁基板上に薄膜トランジスタを形成する技術の研究が活発に行なわれている。この技術は、安価な透明絶縁基板を用いて高品質の薄形デ

イスプレイを実現するアクティブマトリックスパネル、あるいは通常の半導体集積回路上にトランジスタなどの能動素子を形成する三次元集積回路、あるいは安価で高性能なイメージセンサ、あるいは高密度のメモリーなど、数多くの応用が期待されるものである。

これらの幅広い用途に応用するためには高性能な薄膜トランジスタの実現が望まれている。薄膜トランジスタの性能は、チャネル部となる半導体薄膜の種類・性質によつて大きく異なる。現在では、非晶質シリコン薄膜や多結晶シリコン薄膜などのシリコン薄膜を用いた薄膜トランジスタが広く研究されている。しかし、非晶質シリコンは電子の移動度が $1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以下であり、高速な動作をする回路を構成することは不可能である。また多結晶シリコンは $10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上の移動度を有するが、これでも通常の単結晶シリコン(移動度 $500 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上)を用いた半導体集積回路には、はるかに及ばない。このように現状の薄膜トランジスタの性能は高速動作の点で極めて不

BEST AVAILABLE COPY

十分である。

<目的>

本発明はこのような問題点を除去するものであり、その目的とするところは、通常の半導体集積回路に迫るほどの高速動作が可能となる高性能な薄膜トランジスタを提供することにある。

<概要>

この目的を達成するために本発明は、チャネル部となる半導体薄膜として、Ⅲ-V族化合物半導体を用い、さらにⅢ族元素として少なくともインジウムを含有したことを特徴とする薄膜トランジスタを提供する。

<実施例>

以下、実施例に基づいて本発明を詳しく説明する。

第1図は、本発明による薄膜トランジスタの構造を示す第1の実施例である。石英・ガラス・セラミックスなどの絶縁基板101上に、Ⅲ-V族化合物半導体薄膜102が形成されている。材料としては、InP, InAs, InSb, InGaAs, InGaP, InGaAsP

が形成され、さらにソース領域203及びドレイン領域204が設けられている。ソース・ドレイン領域には、不純物を含んだ半導体層あるいは金属層を用いる。205はゲート絶縁膜であり、206はゲート電極である。本実施例の特徴は、イオン打ち込みなどの大規模な製造装置を必要とせずにソース・ドレイン領域の形成ができる点である。

第3図は、本発明による薄膜トランジスタの構造を示す第3の実施例である。絶縁基板301上にインジウムを含有するⅢ-V族化合物半導体薄膜302が形成されている。該半導体薄膜の表面層に適当な不純物を添加し、チャネル部に位置する該領域をエッチング除去することによりソース領域303及びドレイン領域304を形成する。305はゲート絶縁膜、306はゲート電極である。本実施例の特徴は、ソース・ドレイン領域の形成に特別な薄膜堆積工程が不要であると共に、チャネル領域とソース・ドレイン領域の間に良好な接合が形成できることである。

特開昭60-251666(2)

など、インジウムを含有するⅢ-V族化合物半導体を選択する。103, 104はそれぞれ、前記化合物半導体薄膜中に、シリコンなどの適当な不純物をイオン打ち込み法などによりドープして形成されたソース領域及びドレイン領域である。105はゲート絶縁膜であり、気相成長法、スパッタ法、陽極酸化法あるいはプラズマ陽極酸化法などにより形成される。106はアルミニウムなどの導電物から成るゲート電極である。107は層間絶縁膜であり、108, 109はそれぞれソース領域103及びドレイン領域104に接続されるソース電極及びドレイン電極である。本実施例の特徴はソース・ドレイン領域がゲート電極に対して自己整合的に形成される点である。これにより製造工程が簡略化されると共に、ゲート・ドレイン間の寄生容量が減少し、より高速の動作が可能となる。

第2図は、本発明による薄膜トランジスタの構造を示す第2の実施例である。絶縁基板201上にインジウムを含有するⅢ-V族化合物半導体薄

<効果>

以下、本発明の有する効果について述べる。なお、説明に必要な資料を第1表に示す。ここにはシリコンと、インジウムを含有した種々のⅢ-V族化合物半導体に関するデータが示されている。

第1表

	Si	InP	InAs	InSb	In0.53 Ge0.47 As
電子移動度 (cm ² /V·sec)	1,350	4,600	50,000	78,000	12,000
バンドギャップ (eV)	1.1	1.3	0.33	0.17	0.8

まず第1の効果は高い移動度が得られる点である。第1表からわかるように、Ⅲ-V族化合物半導体はシリコンに比べて極めて大きな移動度を有している。これは、シリコン等の单一元素半導体の結晶構造が共有結合によるものであるのに対して、Ⅲ-V族化合物半導体の結晶構造はイオン結合によるものであることに起因する。共有結合では電子の移動度は非弾性な格子散乱で主に決定さ

BEST AVAILABLE COPY

特開昭60-251666(3)

れるため小さな移動度しか得られないが、イオン結合では弾性的なクーロン散乱が支配的であるため電子のエネルギーの消費がなく大きな移動度が得られる。したがつて、Ⅲ-V族化合物半導体を用いた薄膜トランジスタでは大きな移動度が実現され、極めて高速な動作が可能となる。これにより、ディスプレイ用アクティブラチック・スパネルやイメージセンサの周辺回路を薄膜トランジスタで内蔵したり、極めて高速な3次元集積回路を実現することが可能となる。

第2に、金属-絶縁膜-半導体(MOS)型の薄膜トランジスタが実現できる点である。これは薄膜トランジスタを構成する上で極めて重要である。一般に絶縁基板上に単結晶の半導体薄膜を形成することは不可能であり、多結晶もしくは非晶質状の半導体薄膜が得られる。これらの薄膜中には数多くの結晶欠陥が存在し、高密度の局在単位(トラップ)を形成する。これは、通常のシリコンMOSトランジスタにたとえれば、基板中の不純物濃度が極めて高い状態に対応する。したがつて、

このような半導体を用いてトランジスタを作製すると、反転層を形成するために高いゲート電圧が必要となり、しきい値電圧(スレショルド電圧)が高くなる。このため、トランジスタの駆動電圧を高くしなくてはならない。例えば、シリコン薄膜を用いた薄膜トランジスタのスレショルド電圧は5~10V程度であり、したがつて10~20V程度の駆動電圧が必要とされる。このように、薄膜トランジスタの駆動に高い電圧を要することは本質的に不可避である。

一方、シリコンではゲート絶縁膜として良質で安定なシリコン酸化膜を用いることができ、しかもその界面状態が極めて良好であることは周知の通りであるが、化合物半導体では一般に絶縁物との界面特性が良好でなく、MOS構造の実現は困難といわれている。例えばGaAsでは 10^{12} cm^{-2} 程度の高い界面単位密度のために、MOS構造の実現は不可能とされ、金属-半導体(MES)構造のトランジスタが検討され実用化に至っている。MES構造は金属-半導体間のショットキーバリアを用い

るもので、その障壁の高さは1.6V以下である。したがつてMES型トランジスタの駆動電圧は1V以下に制限される。この値は薄膜トランジスタの駆動には極めて不充分である。

すなわち、薄膜トランジスタはMOS型で構成されなければならないが、一般的に化合物半導体ではその実現は難しい。

本発明はインジウムを含有したⅢ-V族化合物半導体を用いることにより、MOS型薄膜トランジスタを実現する。インジウムを含有したⅢ-V族化合物半導体は絶縁物との界面単位が 10^{12} cm^{-2} と、他に比べて1桁程度少ない。この理由は明らかでないが、インジウムを含有することによる本質的なこととされている。これによつて初めて良好なMOS構造が実現され、高い電圧で駆動できるMOS型薄膜トランジスタが可能となる。

すなわち、本発明はⅢ-V族化合物半導体を用いた薄膜トランジスタを実現する上で、必須となるMOS構造を実現するという極めて優れた効果を有している。

第3に、材料を選択すればトランジスタがオフ時に流れるリーク電流(OFF電流)を減少させることができる。第1図からわかるように、インジウムを含有するⅢ-V族化合物半導体としてリン化インジウム(InP)を選択すれば、バンドギャップを1.5eVという大きな値に設定できる。したがつて、真性キャリア濃度を低減させることができる。例えば、バンドギャップが1.1eVのシリコンに比べて真性キャリア濃度は約1/50に低下する。薄膜トランジスタのOFF電流は、ソース・ドレイン間に位置する半導体薄膜の抵抗値で決定されるため、真性キャリア濃度が低下することによりこの抵抗値は大幅に増大し、OFF電流を減少させることができる。

以上述べたように、本発明は多くの優れた効果を有するものである。

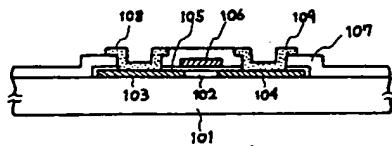
4 図面の簡単な説明

第1図、第2図、第3図はそれぞれ、本発明による薄膜トランジスタの構造の第1、第2、第3

の実施例を示すものである。

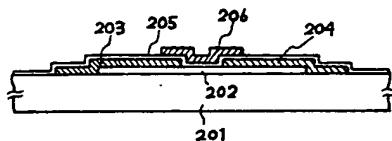
特開昭60-251666(4)

以 上

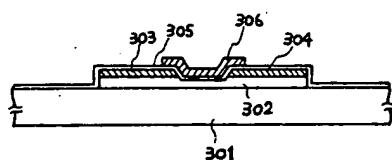


第 1 図

出願人 株式会社謹防精工會
代理人弁理士 最 上 義



第 2 図



第 3 図

BEST AVAILABLE COPY